

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05343979 A

(43) Date of publication of application: 24.12.93

(51) Int. Cl.

H03K 19/0185  
H03K 5/02

(21) Application number: 04152378

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 11.06.92

(72) Inventor: HASHIMOTO MASAMI

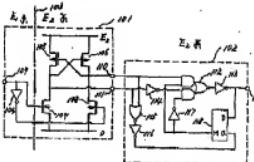
(54) HIGH SPEED LEVEL SHIFT CIRCUIT

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To obtain a level shift circuit with low current consumption together with high response by using a high speed signal selection circuit to select a falling signal with high response because falling of 1st and 2nd outputs of the level shift circuit is fast.

CONSTITUTION: The waveform of a 1st output signal 110 and a 2nd output signal 111 of the level shift circuit 101 has a fast falling response and a slow rising response. A latch circuit 118 stores the preceding state and the signal is shared by a signal M of the circuit 118 and an inverter circuit 117. Furthermore, the preceding state is selected and synthesized by an AND.AND.NOR circuit 112. Thus, the signal at a 1st output terminal 110 and a 2nd output terminal 111 of the circuit 101 has a fast falling signal and a slow rising signal. However, the signal with both fast rising and falling passing through a high speed signal selection circuit 102 is obtained from an output terminal 119. Furthermore, the response to rising and falling is fast regardless of low current consumption.



P43960DE

(1)

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-343979

(43)公開日 平成5年(1993)12月24日

(51) Int.Cl. <sup>5</sup> H 03 K 19/0185 5/02	識別記号 L 7402-5J 8941-5J	序内整理番号 H 03 K 19/00	F I 101 E	技術表示箇所
---	------------------------------	------------------------	--------------	--------

審査請求 未請求 請求項の数1(全8頁)

(21)出願番号 特願平4-152378	(71)出願人 000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日 平成4年(1992)6月11日	(72)発明者 橋本 正美 長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内 (74)代理人 弁理士 鈴木 喜三郎 (外1名)

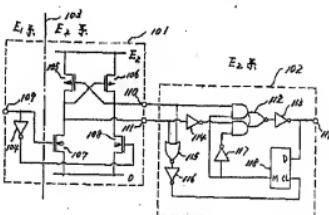
(54)【発明の名称】 高速レベルシフト回路

(57)【要約】

【目的】絶縁ゲート電界効果型トランジスタを用い、かつ複数の電源系を持つ集積回路において、異なった電源系の信号をやりとりするレベルシフト回路において、低消費電流で応答性の高いレベルシフト回路を提供する。

【構成】立ち下がりは速いが、立ち上がりは遅いという特徴を持つレベルシフト回路と、ラッチ回路と選択回路とを内部に有する高速信号選択回路を組み合わせた。この構成より、レベルシフト回路の第1、第2の出力は共に立ち上がりは速いが、立ち下がりは遅いので、それら応答性の速い立ち下がり信号を高速信号選択回路によって選択して出力する。

【効果】低消費電流でありながら、立ち下がりも、立ち上がりも応答の速い高速レベルシフト回路が実現する。



## 〔特許請求の範囲〕

【請求項1】 a) 第1の極性の第1の電位E1と第1の極性の第2の電位E2と、第2の極性の基準電位0とを電源として有する半導体集積回路において、

b) 基準電位0と電位E1との間で動作する入力信号端子と、基準電位0と電位E1との間で動作する前記入力信号端子の反転信号を作る反転回路と、ソース電極がE2の電源端子に接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくとも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0とE1との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0とE1との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたこととなるレベルシフト回路と、

c) 前記レベルシフト回路の第1の出力信号端子と第2の出力信号端子を入力し、直前の状態を記憶したラッチ回路と信号を選択する選択回路とを内部に有し、高速の信号を選択出力する高速信号選択回路から構成されていることを特徴とする高速レベルシフト回路。

## 〔発明の詳細な説明〕

## 【0001】

【産業上の利用分野】 本発明は絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）を用い、かつ複数の電源系を持つ集積回路において、異なる電源系の信号をやりとりするレベルシフト回路を高速に動作させる技術に関するものである。

## 【0002】

【従来の技術】 集積回路においては、例えば液晶を用いた表示回路を駆動するときには界圧回路を用いて高い電圧を作る場合があり、また低消費電流の回路を得る為了に低い電圧の定電圧回路を用いる場合等があって集積回路内部において異なる電圧で動作している回路が混在していることが多々ある。そしてそれらの回路は互いに信号が往来していることが一般的であるが、低い電圧系の回路の信号で高い電圧系の回路を動かす場合にはそれを結合する回路が必要となる。そしてこの回路をレベルシフト回路と呼ぶ。レベルシフト回路において主要な問題の特性は消費電流と高速応答特性であり、その観点からレベルシフト回路は次第に改良されてきた。図7～図9は従来のレベルシフト回路の例であり、古い順に並べ

てある。つまり順に改良の歴史である。図7は西独国特許公報2154877（DE、A）の回路であり、図8は日本国特許公開昭57-78227の回路であり、図9は日本国特許公告昭57-59690の回路である。以上の図7～図9の従来のレベルシフト回路を特に用いない場合の問題を図6で簡単に説明する。

【0003】 図6において601、603はP型MOSFETであり、602、604はN型MOSFETである。N型MOSFET 602、604のソース電極は0電位である負極に接続されている。P型MOSFET 601のソース電極は電位E1である第1の正極に接続されている。P型MOSFET 603のソース電極は電位E2である第2の正極に接続されている。ここでE1< E2とする。入力信号605はMOSFET 601、602からなる反転回路を駆動して反転入力信号606となる。MOSFET 603、604からなる反転回路のゲートに入力する。さて以上の回路で出力端子607は0～E2の間の電位をとるが、出力端子607の電位を0にする場合にはMOSFET 604をオン（ON）して、MOSFET 603をオフ（OFF）するので反転入力信号606の電位は高い方が良いが、反転入力信号606の電位は0～E1の間にしかとれないので反転入力信号606の電位をE1とした場合でもMOSFET 603のスレッショルド電圧をVTHとすれば

E2-E1>VTH

の関係が成り立つとMOSFET 603はオフしない。したがって出力端子607の電位は必ずしも0電位にはならないと同時に、MOSFET 603、604を通して電位E2の第2の正極から電位E1の負極への貫通電流が流れづけてしまう。つまり正常な動作が必ずしも保障できないとともに低消費電流をも特徴とする補償型MOS集積回路の長所を大きく損なってしまう。

【0004】 レベルシフト回路は以上的様な問題点を除く為に登場した回路であって図7の回路がP型MOSFET及びN型MOSFETを用いていわゆる相補型回路のレベルシフト回路としては最も基本的な回路である。

【0005】 図7において70、72、74はP型MOSFETであり、71、73、75はN型MOSFETである。N型MOSFET 71、73、75のソース電極は0電位である負極に接続されている。P型MOSFET 70のソース電極は電位E1である第1の正極に接続されている。P型MOSFET 72、74のソース電極は電位E2である第2の正極に接続されている。また端子76より信号は入力し、信号77は信号76を反転した信号である。ここで信号76及び信号77は0～E1の間の電位で動作する。信号79はレベルシフト回路としての出力信号であり、信号78は信号79の反転した信号である。ここで信号79及び信号78は0～E2の間の電位で動作する。さて信号76がLOW（以下負と略す）の信号である0電位の時、信号7

3

7はE1電位、信号79は0電位、信号78はE2電位であり、MOSFET 70、72、75はオンしており、MOSFET 71、73、74はオフしている。ここで信号76がHIGH（以下正と略す）の信号であるE1電位をとるとMOSFET 73はオンして信号78は0電位に向う。とともに信号77はMOSFET 70、71からなる反転回路を経由するので電位となってMOSFET 75をオフさせる。MOSFET 75はオフしMOSFET 73はオンするのでMOSFET 72はオフの方向へ、MOSFET 74はオフの方向へ向うが、それによって信号79はE2電位の方向へ、信号78は0電位に向うのでMOSFET 72は更にオフの方向へ、MOSFET 74はオフの方向へと加速され、ついに信号76がE1電位で、信号77は0電位、信号79はE2電位、信号78は0電位であって、MOSFET 70、72、75はオフ、MOSFET 71、73、74はオンの状態に落ちつく。

【0006】次に信号76が再び0電位になるとMOSFET 73はオフし、信号77はE1電位となつてMOSFET 75をオンさせる。MOSFET 75はオンするので信号79は0電位に向う。MOSFET 73はオフし、MOSFET 75はオンするのでMOSFET 72はオフの方向へ、MOSFET 74はオフの方向へと加速され、ついに信号76が0電位、信号77はE1電位、信号79は0電位、信号78はE2電位であってMOSFET 70、72、73、75はオフ、MOSFET 71、73、74はオフの状態に落ちつく。

【0007】以上の回路動作が良好に行なわれるのはソース電位が0のN型MOSFET 71、73、75が0～E1の電位でゲートを制御され、ソース電位がE1電位のP型MOSFET 70が0～E1の電位でゲートを制御され、ソース電位がE2電位のP型MOSFET 72、74が0～E2の電位でゲートを制御されるからである。殊に図7の回路が図6の回路に比較して正常に動作する理由はMOSFET 72、74のゲート電位が0～E2で制御される回路構成になった為である。つまりすべてのMOSFETが完全にオン、オフするのに必要なゲート電位が供給されるからである。

【0008】図8の回路は図7の回路を若干、改良したものである。図8においてMOSFET 80～85まで\*

$$\frac{1}{2} \beta_N (E_1 - V_{TN})^2 \gg \frac{1}{2} \beta_P (E_2 - V_{TP})^2$$

【0013】の関係が必要となり

【0014】

【数2】

\*は図7のMOSFET 70～75までの構成と同じで、かつ順にそれぞれ対応しており、図8の回路が図7の回路と異なるのは抵抗810がMOSFET 82と83の間に、抵抗811がMOSFET 84と85の間にそれぞれ付加されたことである。抵抗810及び811を加えた理由は信号が変わり、状態が遷移する途中で流れれる漏通電流を減少させるのが主目的である。

【0009】図9の回路は図8の回路を更に改良したものである。図9においてMOSFET 90～95までは図8のMOSFET 80～85までの構成と同じで、かつ順にそれぞれ対応している。図9の回路が図8の回路と異なるのは図8の回路における抵抗810及び811を図9の回路においてはP型MOSFET 910及び911にそれぞれ置き換えたことがある。なおMOSFET 910のゲート電極は入力信号96に接続され、MOSFET 911のゲート電極は反転入力信号97に接続されている。図8の回路における抵抗810、811は漏通電流を制限するものの出力信号89やその反転出力信号88がE2電位になるときはかえって遅くすることもある。図9の回路においては抵抗の代わりにMOSFETであるので漏通電流を制限する場合にはオフに近い高抵抗となり、電位E2の出力信号99、あるいは反転出力信号98に流しても場合には遅延して低抵抗になるという様に使い分けられており、漏通電流を制限するとともに応答性が速くなっている。

【0010】以上が從来のレベルシフト回路の例であり、かつ順に改良の歴史でもあった。

【0011】

【発明が解決しようとする課題】さて、前述した從来の回路においてはより高速の応答性を得ることと消費電流の増加を抑えることの両立を図ることが難しいという問題点がある。例えば図7の從来の回路例で説明すると、図7においてP型MOSFET 72と74のコンダクタス定数 $\beta$ を $\beta_P$ 、スレッショルド電圧を $V_{TP}$ とし、またN型MOSFET 73と75の $\beta$ を $\beta_N$ 、スレッショルド電圧を $V_{TN}$ をすれば入力信号76が正となってE1となり出力信号端子78が負の0電位となるには、信号切り替え時ににおいてN型MOSFET 73の駆動能力がP型MOSFET 72の駆動能力を上回る必要がある。したがって簡略化の為P型MOSFET 72とN型MOSFET 73が共に飽和領域で動作するすれば

【0012】

【数1】

$$\frac{\beta_P}{\beta_N} \ll \frac{(E_1 - V_{TN})^2}{(E_2 - V_{TP})^2}$$

【0015】の関係式が得られる。例えばE1=1.5V、E2=3V、VTP=VTN=0.5Vの場合では

【0016】  
【数3】

$$\frac{\beta_p}{\beta_n} \ll \frac{(1.5 - 0.5)^2}{(3.0 - 0.5)^2} = 0.16$$

【0017】が得られる。実際には更に余裕設計を必要とするのでもっと小さい値となる。この関係は対称性の為、P型MOSFET 7とN型MOSFET 7の間においても同様であり、寄生静電容量が同一の値であるのでMOSFETの駆動能力で応答性が決まり、出力端子7-9から見た応答性はN型MOSFET 7がオシする場合とP型MOSFET 7がオシする場合では応答性において非常に差がある。つまり立ち上がりは速く、立ち上がりは非常に遅い。このとき立ち上がりを速くする為にP型MOSFETの能力を高くすれば同時にN型MOSFETの能力も高くなるが必要があり、この信号の切り替る際の短絡電流が膨大になって消費電流が増大するという課題があった。これは同じく従来の回路である図9の場合は条件が少し緩和されるがE1の電圧でE2のソース電位を持つP型MOSFETをオフすることは出来ないので本質的には同じ課題を有している。この様に応答速度を決める要因としては前記の寄生静電容量やMOSFETの駆動能力等があるがレベルシフト回路全体としてみた場合の最大の障害はP型側とN型側のMOSFETの不均衡にある。また前述した課題についてはサブミクロンの時代を迎え、100MHz以上の周波数に対応する必要性と、大規模ゲートにともないレベル変換を要する信号の本数が増し、消費電力による発熱が大きな問題となる中で従来の回路の中ではもっとも良いと考えられる図9の回路でも対応できない状況となっている。

【0018】そこで本発明は前述した問題点を解決するもので、その目的とすることとは消費電流を増大させることなく、より高い応答性のレベルシフト回路を提供することにある。

【0019】また同じ応答性ならばより低い消費電流ですむレベルシフト回路を提供することにある。

【0020】

【課題を解決するための手段】本発明の高速レベルシフト回路はa) 第1の極性の第1の電位E1と第1の極性の第2の電位E2と、第2の極性の基準電位0とを電源として有する半導体集積回路において、b) 基準電位0と電位E1との間で動作する入力信号端子と、基準電位0と電位E1との間で動作する前記入力信号端子の反転信号を作成する反転回路と、ソース電極がE2の電源端子に

接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくとも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0とE1との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0とE1との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたことからなるレベルシフト回路と、c) 前記レベルシフト回路の第1の出力信号端子と第2の出力信号端子を入力し、直前の状態を記憶したラッ奇回路と信号を選択する選択回路とを内部に有し、高速の信号を選択出力する高速信号選択回路から構成されていることを特徴とする。

【0021】

【作用】本発明の上記の構成によれば前記レベルシフト回路の第1の出力信号端子、第2の出力信号端子は共に出力信号の立ち上がりが速く、立ち上がりが遅いが、互いに反転関係にある信号であるので、第1、第2の出力信号端子の応答性の速い立ち下がり信号を前記高速信号選択回路によって前状態の記憶をもとに選択して出力することにより、立ち上がり、立ち下がりどちらの場合も高速の応答性を持つ高速レベルシフト回路が実現する。

【0022】

【実施例】図1は本発明の第1の実施例を示す回路図である。図1において破線101で閉まれた回路がレベルシフト回路であり、破線102で閉まれた回路が高速信号選択回路である。また一点頭線103を境にして左側が正規の電源電位E1を電源とするE1系の回路であり、右側が正規の電源電位E2を電源とするE2系の回路である。但し、E1< E2の関係がある。破線101の中において105、106はP型MOSFET、107、108はN型MOSFETである。P型MOSFET105と106のソース電極は正規の電位E2の電源端子に接続されている。P型MOSFET105とN型MOSFET107のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第2の出力信号端子111となっている。P型MOSFET106とN型MOSFET108のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第1の出力信号端子

110となっている。P型MOSFET105のゲート電極は第1の出力信号端子110に接続され、P型MOSFET106のゲート電極は第2の出力信号端子111に接続されている。N型MOSFET107のゲート電極はレベルシフト回路101としての入力信号端子109に接続され、N型MOSFET108のゲート電極は入力信号端子109の反転信号を作る反転回路(以下インバータ回路と称す)104の出力が接続される。以上のレベルシフト回路101の構成は従来回路で説明した図7の回路と全く同じであり、したがって動作も同じである。入力信号端子109に入力したクロック波形に対する動作を図3の(109)、(110)、(111)に示してある。図3のタイミングチャートにおいて(110)、(111)はそれぞれ第1出力信号端子110、第2出力信号端子111の動作波形であるが、共に立ち下がりの応答は速く、立ち上がりの波形は鈍っており、かつ応答は遅い。これは従来回路の課題で説明したようにN型MOSFET107、108に比較してP型MOSFET105、106の駆動能力を弱く設計する必要があるである。

[0023] 破線102の中において、112はアンドアンドノア回路(AND・AND・NOR回路)であり、113、114、116、117はインバータ回路であり、115はノア回路(NOR回路)であり、118はラッチ回路(LATCH回路)である。レベルシフト回路101の第1出力信号端子110はAND・AND・NOR回路112の第1ANDの第1ゲートに接続され、第2出力信号端子111はインバータ回路114を経てAND・AND・NOR回路112の第2ANDの第1ゲートに接続されている。AND・AND・NOR回路112の出力はインバータ回路113のゲートに接続され、インバータ回路113の出力は高速信号選択回路102としての出力端子119となっており、かつラッチ回路118のマスター(M)出力はAND・AND・NOR回路112の第1ANDの第2ゲートに接続され、またインバータ回路117を経てAND・AND・NOR回路112の第2ANDの第2ゲートに接続されている。第1出力信号端子110と第2出力信号端子111はNOR回路115の第1ゲート、第2ゲートにそれぞれ接続され、NOR回路115の出力はインバータ回路116を経て、ラッチ回路118のクロックドゲート(CL)に接続されている。なおラッチ回路118の具体的な回路構成例を図2に示す。図2において201、203はクロックドゲートインバータであり、201はクロック信号(CL)が正の時、信号を伝し、203はクロック信号が負の時、信号を伝える。202はインバータ回路である。クロックドゲートインバータ回路201のゲート204にデータ(D)信号が入力し、出力205はインバータ回路202のゲートに接続され、

インバータ回路202の出力206はクロックドゲートインバータ回路203のゲートに接続され、クロックドゲートインバータ回路203の出力はクロックドゲートインバータ回路201の出力205と接続されている。このときインバータ回路202の出力206がラッチ回路としてのマスター(M)出力信号となっている。このときクロック(CL)信号が正の時、データ(D)信号が入りし、クロック信号が負の時、前状態のデータがインバータ回路202とクロックドゲートインバータ回路203の間で保持される。

[0024] さてこのとき高速信号選択回路102の動作を次に説明する。前述したようにレベルシフト回路101の第1出力信号110と第2出力信号111の波形は図3の(110)と(111)に示すように立ち下がりの応答は速く、立ち上がりが遅い。クロックの入力信号波形(109)に対して素早く応答するには(110)、(111)のそれぞれの応答の速い立ち下がりの信号を利用すれば、E1系のクロック信号に対してE2系の出力信号を応答性良く変換したことになる。クロックの変化の前状態が負の時(111)の信号は素速く応答しており、正の時は(110)の信号が素速く応答しているのが図3のタイミングチャートからわかる。したがって前状態を記憶して、それに応じて(110)、(111)の信号を振りわければ良い。この前状態を記憶しているのがラッチ回路118であり、振りわけるのがラッチ回路118のMの信号、及びインバータ回路117であり、かつ選択合成しているのが、AND・AND・NOR回路112である。なおNOR回路115及びインバータ回路116でラッチ回路118のデータの取り込みのタイミングを調整している。これは出力端子119の信号が変化した余端にラッチ回路118のMの信号、及びインバータ回路117の選択振り分け信号を変えてしまうと誤動作するからである。

[0025] 以上により、レベルシフト回路101の第1出力端子110、及び第2出力端子111の信号はどうも立ち下がりが速く、立ち上がりは遅い信号であるが、高速信号選択回路102を通ることにより、立ち下がりも立ち上がりも共に高速で応答した信号が出力端子119から得られる。以上の様子を示したのが図3のタイミングチャートである。以上により、レベルシフト回路101と高速信号選択回路102を組み合わせた本発明の高速レベルシフト回路はE1系の信号をE2系の信号に高速にレベル変換できることがわかる。以上、図1の回路で本発明の一実施例を説明したが、本発明は図1の回路のみに限らない。例えば図4の回路は図1におけるレベルシフト回路101他の例を示すものであり、図4においてインバータ回路404、MOSFET405、406、407、408はそれぞれ図1におけるインバータ回路104、MOSFET105、106、107、108に順に対応しており、図4のP型MOSF

9

ET 413、414が新たに付け加えられたものである。図4においてP型MOSFET T413、414は電源E2とP型MOSFET T405、406の間にそれぞれ挿入され、MOSFET T413のゲート電極は入力信号端子409に接続され、MOSFET T414ゲート電極は入力信号端子409の信号を反転するインバータ回路404の出力に接続されている。以上の図4の回路は従来の回路例であげた図9の回路とMOSFETの順序が変更されているのみで本質的に同じ動作をする。

【0026】またレベルシフト回路部としては図4の回路のみならず従来回路例としてあげた図8、図9の回路でも良い。また図1において高速信号選択回路102も本質的には単なる選択回路であるので、この回路のみならず同等の回路は多数存在する。例えば図5の様な回路でも良い。

【0027】また、以上のレベル変換において負極が0電位で、E1、E2が正極の2電源の場合について説明したが、正極が0電位、-E1、-E2が負極の2電源の場合でもP型MOSFET、N型MOSFETを逆の構成にすれば同様の回路ができる。

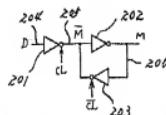
【0028】  
【発明の効果】以上、述べたように本発明によれば立ち下がりは速く、立ち上がりは遅い出力信号を持つレベルシフト回路の2つの信号を高速信号選択回路で違い方を選択して出力するので立ち下がりも立ち上がりも共に高速の応答性を持つ高速レベルシフト回路が提供できるという効果がある。

【0029】また、このとき従来の方式のレベルシフト回路を用いでいるので低い消費電流を保ったまま応答性を高く出来るという効果がある。

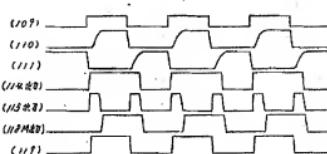
【0030】また応答性を一定にすれば、より低い消費電流のレベルシフト回路を提供できるという効果がある。

【回路の簡単な説明】  
【図1】 本発明の第1の実施例を示す回路図である。  
【図2】 本発明の図1の回路図で用いられているラッチ回路の具体的構成例を示す回路図である。  
【図3】 本発明の図1の回路の動作を示すタイミングチャート図である。

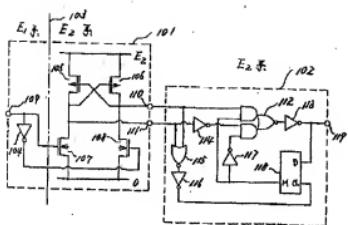
【図2】



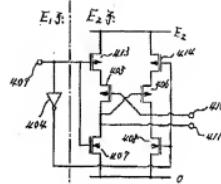
【図3】



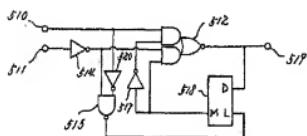
[図 1]



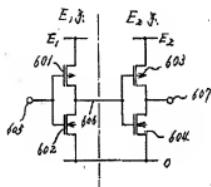
[図4]



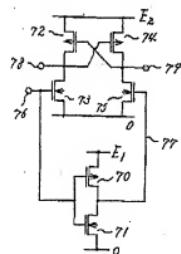
【图5】



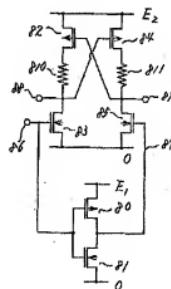
[图6]



【図7】



[8]



[图9]

